

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-090691

(43)Date of publication of application : 31.03.2000

(51)Int.Cl. G11C 29/00  
G06F 11/10  
G06F 12/16  
G11C 16/04

(21)Application number : 11-224644

(71)Applicant : SAMSUNG ELECTRONICS CO LTD

(22)Date of filing : 06.08.1999

(72)Inventor : LEE JIN-YUB

(30)Priority

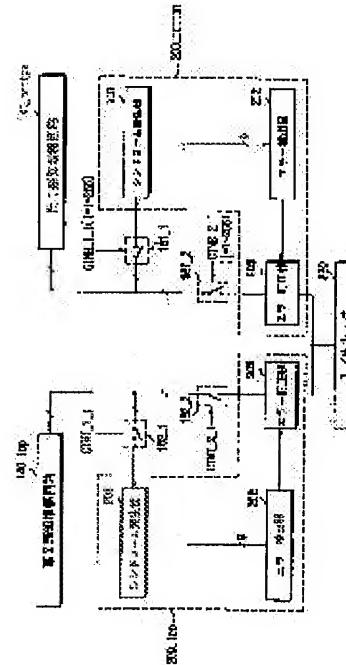
Priority number : 98 9832236 Priority date : 07.08.1998 Priority country : KR

## (54) SEMICONDUCTOR MEMORY DEVICE WITH ON-CHIP ERROR CORRECTING CIRCUIT AND ERROR CORRECTING METHOD

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve an access time by simultaneously receiving data and check bits in two groups, generating syndrome bits in corresponding two rows in the data and the check bits in the two groups respectively and correcting errors in data bits in the two groups respectively in response to the syndrome bits in the two rows.

**SOLUTION:** An error detector 202 for the error correcting circuit 200-bottom receives nine syndrome bits from a syndrome generator 201 and outputs a signal displaying the presence of an error, and an error corrector 203 successively receives 256 data bits from a first sense amplifier 140-bottom through a switch circuit 161-2 during a second cycle, and corrects one error bit in the 256 data bits in response to a signal from the error detector 202. An error correcting circuit 200-top executes the same functions as the components of the error correcting circuit



200-bottom.

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-90691

(P2000-90691A)

(43)公開日 平成12年3月31日 (2000.3.31)

(51) Int.Cl. <sup>7</sup>	識別記号
G 11 C 29/00	6 3 1
G 06 F 11/10	3 3 0
12/16	3 2 0
G 11 C 16/04	

F I	テマコト <sup>*</sup> (参考)
G 11 C 29/00	6 3 1 Z
G 06 F 11/10	3 3 0 K
12/16	3 2 0 F
G 11 C 17/00	6 2 5

審査請求 未請求 請求項の数16 O.L (全 23 頁)

(21)出願番号	特願平11-224644
(22)出願日	平成11年8月6日(1999.8.6)
(31)優先権主張番号	1998 P-32236
(32)優先日	平成10年8月7日(1998.8.7)
(33)優先権主張国	韓国 (K.R.)

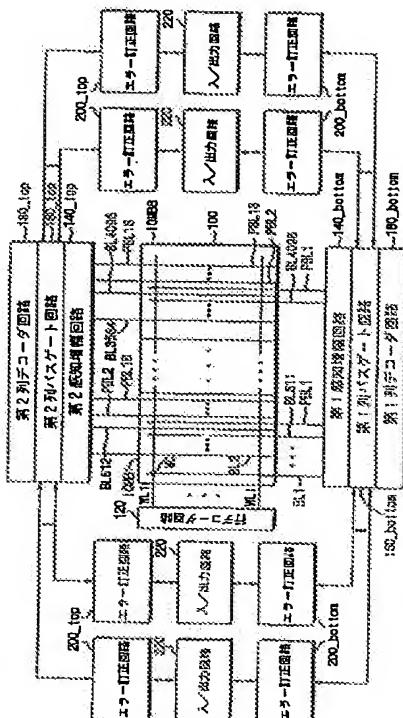
(71)出願人	390019839 三星電子株式会社 大韓民国京畿道水原市八達区梅灘洞416
(72)発明者	李眞▲ユブ▼ 大韓民国ソウル市西草区蠶元洞 新半浦4 次アパート207-904
(74)代理人	100086368 弁理士 萩原誠

## (54)【発明の名称】 オンチップエラー訂正回路を備えた半導体メモリ装置及びエラー訂正方法

## (57)【要約】

【課題】 オンチップエラー訂正回路を備えた半導体メモリ装置及びエラー訂正方法を提供する。

【解決手段】 本発明の半導体メモリ装置には、複数のデータビット及びチェックビットが蓄積されたメモリセルアレイが提供される。オンチップエラー訂正回路はデータビット中の奇数番データビット内の第1エラーと偶数番データビット内の第2エラーとを訂正する。オンチップエラー訂正回路は読み出し動作モードの第1サイクル中、メモリセルアレイから読み出されたデータ及びチェックビット中の奇数番及び偶数番データ及びチェックビットを並列に受け入れて第1シンドロームビットと第2シンドロームビットとを発生する。その後、読み出し動作モードの第2サイクル中、エラー訂正回路は第1及び第2シンドロームビットに各々応答して奇数番データビット内のエラーと偶数番データビット内のエラーとを訂正する。従って、各入／出力メモリブロックから読み出されたデータビット中の少なくとも2個のエラーデータビットが訂正されるので、エラー訂正効率が向上する。



## 【特許請求の範囲】

【請求項1】 複数のデータビットと前記データビットに対応する複数のチェックビットとが蓄積されるメモリセルアレイを有し、前記データビットと前記チェックビットとは少なくとも第1及び第2グループに均等に分割されている半導体メモリ装置のエラー訂正方法において、

前記メモリセルアレイから前記データビット及び前記チェックビットを感知する段階と、

前記第1グループのデータ及びチェックビットと前記第2グループのデータ及びチェックビットとを同時に受け入れて前記第1及び第2グループのデータ及びチェックビットに各々対応する第1及び第2列のシンドロームビットを発生する段階と、

前記第1列のシンドロームビットと前記第2列のシンドロームビットとに応答して前記第1グループのデータビット内のエラーと前記第2グループのデータビット内のエラーとを各々訂正する段階とを含み、

前記複数のデータビット中の少なくとも2個のエラーデータビットが訂正されることを特徴とするエラー訂正方法。

【請求項2】 前記エラー訂正段階は、

前記第1及び第2グループのデータビット内のエラーを各々検出するため前記第1及び第2列のシンドロームビットをデコーディングし、前記第1グループのデータビット内のエラーの存在の有無を示す第1信号と前記第2グループのデータビット内のエラーの存在の有無を示す第2信号とを出力する段階と、

前記第1グループのデータビットと前記第2グループのデータビットとを交互に受け入れ、前記第1信号に応答して前記第1グループのデータビット内のエラーを訂正し、前記第2信号に応答して前記第2グループのデータビット内のエラーを訂正する段階とを含むことを特徴とする請求項1に記載のエラー訂正方法。

【請求項3】 複数のデータビットと、前記データビットに対応する複数のチェックビットとを蓄積するメモリセルアレイと、

前記データビットと前記チェックビットとは少なくとも第1及び第2グループに均等に分割され、前記メモリセルアレイから前記データビットと前記チェックビットとを読み出す手段と、

前記第1グループのデータビット内の第1エラーと前記第2グループのデータビット内の第2エラーとを各々訂正する手段とを含み、

前記エラー訂正手段は前記第1グループのデータ及びチェックビットと前記第2グループのデータ及びチェックビットとを並列に受け入れ、前記データビットの第1及び第2グループに各々対応する第1シンドロームビットと第2シンドロームビットとを発生させ、前記第1及び第2シンドロームビットに応答して前記第1グループの

データビット内の第1エラーと前記第2グループのデータビット内の第2エラーとを各々訂正することを特徴とする半導体メモリ装置。

【請求項4】 前記エラー訂正手段から交互に出力される前記第1及び第2グループのデータビットを出力する入／出力回路を附加的に含むことを特徴とする請求項3に記載の半導体メモリ装置。

【請求項5】 前記エラー訂正手段は前記第1グループのデータビット内の前記第1エラーを訂正する第1エラー訂正回路と、前記第2グループのデータビット内の前記第2エラーを訂正する第2エラー訂正回路とを含み、前記第1及び第2エラー訂正回路は前記入／出力回路に共通に結合されたことを特徴とする請求項4に記載の半導体メモリ装置。

【請求項6】 前記第1エラー訂正回路は、前記第1グループのデータ及びチェックビットを順次受け入れ前記第1シンドロームビットを発生する第1シンドローム発生器と、

前記第1グループのデータビット内の第1エラーを検出するための前記第1シンドロームビットをデコーディングして前記第1エラーの存在の有無を示す第1信号を出力する第1検出器と、

前記第1グループのデータビットを順次受け入れ前記第1エラーの存在の有無を示す前記第1信号に応答して前記第1グループのデータビット内の第1エラーを訂正する第1訂正器とを含むことを特徴とする請求項5に記載の半導体メモリ装置。

【請求項7】 前記第1シンドローム発生器は書き込み動作モード中前記第1グループのチェックビットを発生する手段で動作することを特徴とする請求項6に記載の半導体メモリ装置。

【請求項8】 前記第2エラー訂正回路は、前記第2グループのデータ及びチェックビットを順次受け入れ前記第2シンドロームビットを発生する第2シンドローム発生器と、

前記第2グループのデータビット内の第2エラーを検出するための前記第2シンドロームビットをデコーディングして前記第2エラーの存在の有無を示す第2信号を出力する第2検出器と、

前記第2グループのデータビットを順次受け入れて前記第2エラーの存在の有無を示す前記第2信号に応答して前記第2グループのデータビット内の第2エラーを訂正する第2訂正器とを含むことを特徴とする請求項7に記載の半導体メモリ装置。

【請求項9】 前記第2シンドローム発生器は書き込み動作モード中前記第2グループのチェックビットを発生する手段で動作することを特徴とする請求項8に記載の半導体メモリ装置。

【請求項10】 前記エラー訂正手段は、前記第1グループのデータ及びチェックビットを順次受

3

け入れて前記第1シンドロームビットを発生する第1シンドローム発生器と、  
前記第2グループのデータ及びチェックビットを順次受け入れて前記第2シンドロームビットを発生する第2シンドローム発生器と、  
前記第1及び第2シンドローム発生器から出力される第1及び第2シンドロームビットを交互に受け入れ、前記第1グループのデータビット内の第1エラーを検出するための前記第1シンドロームビットと前記第2グループのデータビット内の第2エラーを検出するための第2シンドロームビットとを交互にデコーディングし、前記第1エラーの存在の有無を示す第1信号と前記第2エラーの存在の有無を示す第2信号とを交互に出力する検出器と、  
前記第1及び第2グループのデータビットを交互に受け入れる訂正器とを含み、  
前記訂正器は前記第1エラーの存在の有無を示す前記第1信号に応答して前記第1グループのデータビット内の第1エラーを訂正し、前記第2エラー存在の有無を示す前記第2信号に応答して前記第2グループのデータビット内の第2エラーを訂正する動作を実行することを特徴とする請求項4に記載の半導体メモリ装置。  
【請求項11】 前記訂正器により前記第1及び第2グループの訂正されたデータビットは前記入／出力回路を介して外部へ交互に出力されることを特徴とする請求項10に記載の半導体メモリ装置。  
【請求項12】 複数のデータビットと前記データビットに対応する複数のチェックビットとを蓄積するメモリセルアレイと、  
前記データビット及びチェックビットは少なくとも第1及び第2グループに分割されており、  
前記メモリセルアレイから前記データビット及びチェックビットを読出す読出し回路と、  
前記データビットを外部へ／から出力／入力する入／出力回路と、  
前記第1グループのデータビット内の第1エラーを訂正する第1エラー訂正回路と、  
前記第1エラー訂正回路は前記第1グループのデータ及びチェックビットを順次受け入れて前記第1シンドロームビットを発生する第1シンドローム発生器と、前記第1グループのデータビット内の第1エラーを検出するための前記第1シンドロームビットをデコーディングして前記第1エラーの存在の有無を示す第1信号を出力する第1検出器と、前記第1グループのデータビットを順次受け入れて前記第1エラーの存在の有無を示す前記第1信号に応答して前記第1グループのデータビット内の第1エラーを訂正する第1訂正器とで構成され、  
前記第2グループのデータビット内の第2エラーを訂正する第2エラー訂正回路を含み、  
前記第2エラー訂正回路は前記第2グループのデータ及

びチェックビットを順次受け入れて前記第2シンドロームビットを発生する第2シンドローム発生器と、前記第2グループのデータビット内の第2エラーを検出するための前記第2シンドロームビットをデコーディングして前記第2エラーの存在の有無を示す第2信号を出力する第2検出器と、前記第2グループのデータビットを順次受け入れて前記第2エラーの存在の有無を示す前記第2信号に応答して前記第2グループのデータビット内の第2エラーを訂正する第2訂正器とで構成され、  
10 前記第1及び第2訂正器により各々訂正された第1及び第2グループのデータビットは前記入／出力回路を通じて外部へ交互に出力されることを特徴とする半導体メモリ装置。  
【請求項13】 前記第1及び第2シンドローム発生器は書き込み動作モード中第1及び第2グループのチェックビットを発生する手段で各々機能することを特徴とする請求項12に記載の半導体メモリ装置。  
【請求項14】 複数のデータビットと前記データビットに対応する複数のチェックビットとを蓄積するメモリセルアレイと、  
前記データビット及びチェックビットは少なくとも第1及び第2グループに分割されており、  
前記メモリセルアレイから前記データビット及びチェックビットを読出す読出し回路と、  
前記データビットを外部へ／から出力／入力する入／出力回路と、  
前記第1グループのデータ及びチェックビットを順次受け入れて第1シンドロームビットを発生する第1シンドローム発生器と、  
30 前記第2グループのデータ及びチェックビットを順次受け入れて第2シンドロームビットを発生する第2シンドローム発生器と、  
前記第1及び第2シンドローム発生器から出力される第1及び第2シンドロームビットを交互に受け入れ、前記第1グループのデータビット内の第1エラーを検出するための前記第1シンドロームビットと前記第2グループのデータビット内の第2エラーを検出するための前記第2シンドロームビットとを交互にデコーディングし、前記第1エラーの存在の有無を示す第1信号と前記第2エラーの存在の有無を示す第2信号とを交互に出力する検出器と、  
前記第1及び第2グループのデータビットを交互に受け入れる訂正器とを含み、  
前記訂正器は前記第1エラーの存在の有無を示す前記第1信号に応答して前記第1グループのデータビット内の第1エラーを訂正し、前記第2エラーの存在の有無を示す前記第2信号に応答して前記第2グループのデータビット内の第2エラーを訂正する動作を実行し、前記第1及び第2訂正器により各々訂正された第1及び第2グループのデータビットは前記入／出力回路を介して外部へ

交互に出力されることを特徴とする半導体メモリ装置。

【請求項1 5】 各々が複数のデータビットと前記データビットに対応する複数のチェックビットとを蓄積する複数の入／出力メモリブロックに分割されたメモリセルアレイと、

前記入／出力メモリブロックに各々対応する複数の入／出力回路と、

前記各入／出力メモリブロックからデータビット及びチェックビットを読出す読出し回路と、

前記各入／出力メモリブロックから読出されたデータビットのエラーを訂正する手段と、

前記エラー訂正手段は前記入／出力回路に各々対応する複数のエラー訂正部を含み、各エラー訂正部は対応する入／出力メモリブロックから読出された奇数番データビット内の第1エラーを訂正する第1エラー訂正回路と、前記対応する入／出力メモリブロックから読出された偶数番データビット内の第2エラーを訂正する第2エラー訂正回路とを含み、

前記第1エラー訂正回路は、前記対応する入／出力メモリブロックから読出されたデータ及びチェックビット中の奇数番データ及びチェックビットを順次受け入れて第1シンドロームビットを発生する第1シンドローム発生器と、前記奇数番のデータビット内の前記第1エラーを検出するための前記第1シンドロームビットをデコードイングして前記第1エラーの存在の有無を示す第1信号を出力する第1検出器と、前記奇数番データビットを順次受け入れて前記第1エラーの存在の有無を示す前記第1信号に応答して前記奇数番データビット内の第1エラーを訂正する第1訂正器とで構成され、

前記第2エラー訂正回路は、前記対応する入／出力メモリブロックから読出されたデータ及びチェックビット中の偶数番データ及びチェックビットを順次受け入れて第2シンドロームビットを発生する第2シンドローム発生器と、前記偶数番のデータビット内の前記第2エラーを検出するための前記第2シンドロームビットをデコードイングして前記第2エラーの存在の有無を示す第2信号を出力する第2検出器と、前記偶数番データビットを順次受け入れて前記第2エラーの存在の有無を示す前記第2信号に応答して前記奇数番データビット内の第2エラーを訂正する第2訂正器とで構成されることを特徴とする半導体メモリ装置。

【請求項1 6】 各々が複数のデータビットと前記データビットに対応する複数のチェックビットとを蓄積する複数の入／出力メモリブロックに分割されたメモリセルアレイと、

前記入／出力メモリブロックに各々対応する複数の入／出力回路と、

前記各入／出力メモリブロックからデータビット及びチェックビットを読出す読出し回路と、

前記各入／出力メモリブロックから読出されたデータビ

10

20

30

40

50

ットのエラーを訂正する手段と、

前記エラー訂正手段は前記入／出力回路に各々対応する複数のエラー訂正部とを含み、

前記各々のエラー訂正部は、

対応する入／出力メモリブロックから読出されたデータ及びチェックビット中の奇数番データ及びチェックビットを順次受け入れて第1シンドロームビットを発生する第1シンドローム発生器と、

前記対応する入／出力メモリブロックから読出されたデータ及びチェックビット中の偶数番データ及びチェックビットを順次受け入れて第2シンドロームビットを発生する第2シンドローム発生器と、

前記第1及び第2シンドローム発生器から出力される第1及び第2シンドロームビットを交互に受け入れ、前記奇数番データビット内の第1エラーを検出するための前記第1シンドロームビットと前記偶数番データビット内の第2エラーを検出するための前記第2シンドロームビットとを交互にデコードイングし、前記第1エラーの存在の有無を示す第1信号と前記第2エラーの存在の有無を示す第2信号とを交互に出力する検出器と、

前記奇数番及び偶数番データビットを交互に受け入れる訂正器とを含み、

前記訂正器は前記第1エラーの存在の有無を示す前記第1信号に応答して前記奇数番データビット内の第1エラーを訂正して前記第2エラーの存在の有無を示す前記第2信号に応答して前記偶数番データビット内の第2エラーを訂正する動作を実行することを特徴とする半導体メモリ装置。

【発明の詳細な説明】

### 【0001】

【発明の属する技術分野】 本発明は、半導体メモリ装置に係り、より詳しくはアクセス時間を向上させ得るオンチップエラー訂正回路を備えた半導体メモリ装置とそれに格納されたデータのエラー訂正方法に関する。

### 【0002】

【従来の技術】 半導体メモリ装置、特にフラッシュメモリ装置には、フローティングゲートを有する電気的に消去及びプログラム可能なメモリセル（以下、EEPROMセルという）で構成されたメモリセルアレイが用いられる。各EEPROMセルのフローティングゲートに電荷を蓄積することにより、各EEPROMセルのスレッショルド電圧は各々ロジック‘1’及びロジック‘0’を示すローレベル及びハイレベルの間で電気的に変化する。フローティングゲート技術において、データ維持に関連する根本的な問題はない。しかし、書き込み及び消去のため使用される高いエネルギーの電子注入及び放出メカニズムにより欠陥やトラップがトンネル酸化膜に生成され、書き込み及び読出しサイクルにおいて信頼性が損なわれる。蓄積された電子はトンネル酸化膜の欠陥やトラップを通ってフローティングゲートからリークしてしま

う。一方、EEPROMセルの制御ゲートが読み出しサイクル中に電源電圧に保たれると、フローティングゲートには徐々に電子が蓄積される。電荷のリークや蓄積に起因してメモリセル、即ち、EEPROMセルトランジスタのスレッショルド電圧は増減し、これによってランダムビットエラーを引き起こす。

【0003】一般的に、エラー訂正コード／回路（以下、ECCという）がフラッシュメモリシステムの性能向上のため使用されてきた。コントローラ内にECCを設けてエラーを訂正する方法があるが、そのような機能を有するコントローラを支援しないカードシステムでも容易に使用できるオンチップECCの適用が要求される。したがって、チップ内にECCを設ける方がコントローラ内にECCを設けるよりも製造コスト的にみると有利である。オンチップECC技術は、文献IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 32 No. 5, 1997年5月に、“A COMPACT ON-CHIP ECC FOR LOW COST FLASH MEMORIES”という題目で記載されており、本明細書に引用により開示する。

【0004】図1は、オンチップECCを備えた従来の半導体メモリ装置のブロック図を示したものである。図1の半導体メモリ装置は、複数のデータビットとそれに対応する複数のチェックビット（又は冗長ビット）とを蓄積するメモリセルアレイ10を有する。本明細書では、以下、周知のNAND型フラッシュメモリ装置を例として説明する。NAND型フラッシュメモリ装置に用いられるフラッシュメモリセルは米国特許5, 696, 717号に“NONVOLATILE INTEGRATED CIRCUIT MEMORY DEVICES HAVING ADJUSTABLE ERASE/PROGRAM THRESHOLD VOLTAGE VERIFICATION CAPABILITY”という題目で記載されており、本明細書に引用により開示する。

【0005】図1に示すように、メモリセルアレイ10は、入／出力データ幅（例えば、×8）に従がって複数の入／出力メモリブロックIOMB<sub>i</sub>（例えば、i=1～8）に分割されている。複数のワードラインWL<sub>i</sub>はそれぞれ、入／出力メモリブロックIOMB<sub>1</sub>～IOMB<sub>8</sub>を介して複数の行に配置される。各入／出力メモリブロックIOMB<sub>1</sub>～IOMB<sub>8</sub>には、複数のビットラインBL<sub>m</sub>（例えば、512本のビットライン）と複数のパリティビットラインPBL<sub>n</sub>（例えば、10本のパリティビットライン）とが複数のワードラインWL<sub>i</sub>と交差するように配置される。各入／出力メモリブロックIOMB<sub>1</sub>～IOMB<sub>8</sub>には、ワードラインWL<sub>i</sub>とビットラインBL<sub>m</sub>、PBL<sub>n</sub>との交差領域に配置される複数のメモリセルMCが設けられる。

【0006】ワードラインWL<sub>i</sub>はアレイ10の左側に配置された行デコーダ回路12に各々結合される。行デコーダ回路12は外部から提供される行アドレス信号RA0～RA1に応じてワードラインWL<sub>i</sub>中の一つを選択し、各動作モード（例えば、読み出し及び書き込み動作モード）に応じて異なって設定されるワードライン電圧で、選択されたワードラインを駆動する。行デコーダ回路12に関する説明は‘717特許に記載されている。各入／出力ブロックIOMB<sub>1</sub>～IOMB<sub>8</sub>に提供される512本のビットラインBL<sub>m</sub>と10本のパリティビットラインPBL<sub>n</sub>とはアレイ10の下側に配置された感知增幅回路14に結合される。図面には示されてないが、NAND型フラッシュメモリ装置及びDRAM装置で現在使用されるラッチ型感知增幅器が、各入／出力メモリブロックのビットライン及びパリティビットラインの数に対応するように感知增幅回路14に提供される。例えば、入／出力メモリブロックIOMB<sub>1</sub>～IOMB<sub>8</sub>に各々対応する感知增幅器の数は522（512+10）個である。NAND型フラッシュメモリ装置で使用されるラッチ型感知增幅器の一例が米国特許5, 216, 633号に“NONVOLATILE SEMICONDUCTOR MEMORY DEVICE INCLUDING ACCESS CODE CIRCUITY”という題目で記載されており、本明細書に引用により開示する。各ブロックIOMB<sub>1</sub>～IOMB<sub>8</sub>に対応する各感知增幅器は対応するビットラインBL<sub>m</sub>とパリティビットラインPBL<sub>n</sub>とを介して対応する入／出力メモリブロックからの512個のデータビットと10個のチェックビットとを感知增幅し、感知したデータ及びチェックビットをラッチする。

【0007】感知增幅回路14には、列デコーダ回路18の制御下で動作する列パスゲート回路16が結合される。入／出力メモリブロックIOMB<sub>1</sub>～IOMB<sub>8</sub>に各々対応するエラー訂正回路20は列パスゲート回路16に結合される。各入／出力メモリブロックIOMB<sub>1</sub>～IOMB<sub>8</sub>から読み出された、即ち、感知增幅回路18にラッチされた、512個のデータビット及び10個のチェックビットは列デコーダ回路18の制御により列パスゲート回路16を通じて対応するエラー訂正回路20へ順次転送される。これについての詳細説明は後述する。

【0008】図2は、図1に示すエラー訂正回路20のブロック図であり、前述した文献（IEEE JOURNAL OF SOLID-STATE CIRCUITS）に記載されている。図2に示すエラー訂正回路20は8個の入／出力メモリブロックIOMB<sub>1</sub>～IOMB<sub>8</sub>中の一つに対応し、シンドローム発生器22、エラー検出器24およびエラー訂正器30で構成される。他の入／出力メモリブロックに対応するエラー訂正回路も図2に示すエラー訂正回路20と同一構成となることは

いうまでもない。図2で、エラー訂正回路20は発生器多項式 $g(x) = x^{10} + x^3 + 1$ により生成されたハミングコード ( $2^r \geq m+r+1$ 、ここでmはデータビットの数を示し、rは冗長ビット又はチェックビットの数を示す)に根拠を置いている。

【0009】図3は、図2に示すエラー訂正回路のタイミング図である。メモリセルアレイ10からのデータ読み出し動作は図1乃至図3に基づき以下詳細に説明する。説明の便宜上、ただ一つの入／出力メモリブロックに関連するデータ読み出し動作だけを説明するが、他の入／出力メモリブロックに関連する動作も同一である。

【0010】データ読み出し動作は、第1及び第2サイクルに分割される。第1サイクル中、ECCワードを構成する522ビットはスイッチ回路26(即ち、列バスゲート回路16)を介してシンドローム発生器22へ順次転送される。522ビットのECCワードは入／出力メモリブロックの選択ページ(又はワードライン)に対応する。その後、シンドローム発生器22は522ビットのECCワードに応答して10個のシンドロームビットを発生する。そのようにして生成された10個のシンドロームビットは選択ページのデータビット中の1ビットエラーを訂正するためのアドレスとして使用され、エラーチェック器24によりデコーディングされる。図2で、図1の列バスゲート回路16は、第1及び第2サイクル中に相互に排他的に動作するスイッチ回路26、28によって示されている。

【0011】その後、第2サイクル中、検出器24によりデコードされた信号(エラー用アドレス情報)と感知增幅回路14にラッチされた512個のデータビットとがエラー訂正器30へ順次に印加される。エラー訂正器30は排他的ORゲート回路で構成される。このようにして訂正された512個のデータビットは対応する入／出力回路22を介して外部へ転送される。例えば、訂正器30へ現在転送されたデータビットに対応する検出器24からの信号がロジック‘1’の場合、データビットはエラーであることを意味する。従って、エラーデータビットは訂正器30により訂正された後に対応する入／出力回路22へ転送される。もし検出器24からの信号がロジック‘0’なら、データビットはエラーがないことを意味する。従って、データビットは訂正器30によるエラー訂正なしで対応する入／出力回路22へ転送される。

### 【0012】

【発明が解決しようとする課題】前述したエラー訂正回路スキームを有する従来の半導体メモリ装置によると、選択ページの512個のデータビット中のただ一つのビットエラーのみが検出されて訂正される。さらに、512個のデータビット内のエラー位置が検出される読み出し動作モードの第1サイクル中に、図2に示されたスイッチ回路26を制御するための522個のクロックサイク

ルが要求される。これはフラッシュメモリ装置のアクセス時間の増加原因になる。したがって、高い信頼性を有する高速メモリ装置を実現するためのアクセス時間短縮エラー訂正効率の向上とが同時に要求される。

【0013】したがって本発明の目的は、アクセス時間を改善することの出来るオンチップエラー訂正回路を備えた半導体メモリ装置を提供することである。本発明の他の目的は、入／出力メモリブロックに対応するデータビット中の少なくとも2個のエラービットを訂正することができるオンチップエラー訂正回路を備えた半導体メモリ装置を提供することである。本発明のさらに他の目的は、半導体メモリ装置に蓄積されたデータのエラーを訂正する方法を提供することである。

### 【0014】

【課題を解決するための手段】本発明は上記目的を達成するために、複数のデータビットと前記データビットに対応する複数のチェックビットとが蓄積されるメモリセルアレイを有し、前記データビットと前記チェックビットとは少なくとも第1及び第2グループに均等に分割されている半導体メモリ装置のエラー訂正方法において、前記メモリセルアレイから前記データビット及び前記チェックビットを感知する段階と、前記第1グループのデータ及びチェックビットと前記第2グループのデータ及びチェックビットとを同時に受け入れて前記第1及び第2グループのデータ及びチェックビットに各々対応する第1及び第2列のシンドロームビットを発生する段階と、前記第1列のシンドロームビットと前記第2列のシンドロームビットとに応答して前記第1グループのデータビット内のエラーと前記第2グループのデータビット内のエラーとを各々訂正する段階とを含み、前記複数のデータビット中の少なくとも2個のエラーデータビットが訂正されるようにしたものである。

【0015】前記エラー訂正段階は、前記第1及び第2グループのデータビット内のエラーを各々検出するため前記第1及び第2列のシンドロームビットをデコーディングし、前記第1グループのデータビット内のエラーの存在の有無を示す第1信号と前記第2グループのデータビット内のエラーの存在の有無を示す第2信号とを出力する段階と、前記第1グループのデータビットと前記第2グループのデータビットとを交互に受け入れ、前記第1信号に応答して前記第1グループのデータビット内のエラーを訂正し、前記第2信号に応答して前記第2グループのデータビット内のエラーを訂正する段階とを含む。

【0016】さらに、本発明は、複数のデータビットと、前記データビットに対応する複数のチェックビットとを蓄積するメモリセルアレイと、前記データビットと前記チェックビットとは少なくとも第1及び第2グループに均等に分割され、前記メモリセルアレイから前記データビットと前記チェックビットとを読み出す手段と、前

記第1グループのデータビット内の第1エラーと前記第2グループのデータビット内の第2エラーとを各々訂正する手段とを含み、前記エラー訂正手段は前記第1グループのデータ及びチェックビットと前記第2グループのデータ及びチェックビットとを並列に受け入れ、前記データビットの第1及び第2グループに各々対応する第1シンドロームビットと第2シンドロームビットとを発生させ、前記第1及び第2シンドロームビットに応答して前記第1グループのデータビット内の第1エラーと前記第2グループのデータビット内の第2エラーとを各々訂正するよう構成される。

【0017】さらに本発明では、前記エラー訂正手段から交互に出力される前記第1及び第2グループのデータビットを出力する入／出力回路を付加的に含むことができる。前記エラー訂正手段は前記第1グループのデータビット内の前記第1エラーを訂正する第1エラー訂正回路と、前記第2グループのデータビット内の前記第2エラーを訂正する第2エラー訂正回路とを含み、前記第1及び第2エラー訂正回路は前記入／出力回路に共通に結合することが出来る。

【0018】また、前記第1エラー訂正回路は、前記第1グループのデータ及びチェックビットを順次受け入れ前記第1シンドロームビットを発生する第1シンドローム発生器と、前記第1グループのデータビット内の第1エラーを検出するための前記第1シンドロームビットをデコーディングして前記第1エラーの存在の有無を示す第1信号を出力する第1検出器と、前記第1グループのデータビットを順次受け入れ前記第1エラーの存在の有無を示す前記第1信号に応答して前記第1グループのデータビット内の第1エラーを訂正する第1訂正器とを含むことが出来る。

【0019】ここで、前記第1シンドローム発生器は書き込み動作モード中前記第1グループのチェックビットを発生する手段で動作することが出来る。また、前記第2エラー訂正回路は、前記第2グループのデータ及びチェックビットを順次受け入れ前記第2シンドロームビットを発生する第2シンドローム発生器と、前記第2グループのデータビット内の第2エラーを検出するための前記第2シンドロームビットをデコーディングして前記第2エラーの存在の有無を示す第2信号を出力する第2検出器と、前記第2グループのデータビットを順次受け入れて前記第2エラーの存在の有無を示す前記第2信号に応答して前記第2グループのデータビット内の第2エラーを訂正する第2訂正器とを含むことが出来る。

【0020】さらに、前記第2シンドローム発生器は書き込み動作モード中前記第2グループのチェックビットを発生する手段で動作することが出来る。ここで、前記エラー訂正手段は、前記第1グループのデータ及びチェックビットを順次受け入れて前記第1シンドロームビットを発生する第1シンドローム発生器と、前記第2グル-

ープのデータ及びチェックビットを順次受け入れて前記第2シンドロームビットを発生する第2シンドローム発生器と、前記第1及び第2シンドローム発生器から出力される第1及び第2シンドロームビットを交互に受け入れ、前記第1グループのデータビット内の第1エラーを検出するための前記第1シンドロームビットと前記第2

グループのデータビット内の第2エラーを検出するための第2シンドロームビットとを交互にデコーディングし、前記第1エラーの存在の有無を示す第1信号と前記第2エラーの存在の有無を示す第2信号とを交互に出力する検出器と、前記第1及び第2グループのデータビットを交互に受け入れる訂正器とを含み、前記訂正器は前記第1エラーの存在の有無を示す前記第1信号に応答し、前記第1グループのデータビット内の第1エラーを訂正し、前記第2エラー存在の有無を示す前記第2信号に応答して前記第2グループのデータビット内の第2エラーを訂正する動作を実行することが出来る。ここで、前記訂正器により前記第1及び第2グループの訂正されたデータビットは前記入／出力回路を介して外部へ交互に出力することが出来る。

【0021】本発明はさらに、複数のデータビットと前記データビットに対応する複数のチェックビットとを蓄積するメモリセルアレイと、前記データビット及びチェックビットは少なくとも第1及び第2グループに分割されており、前記メモリセルアレイから前記データビット及びチェックビットを読み出す読み出し回路と、前記データビットを外部へ／から出力／入力する入／出力回路と、前記第1グループのデータビット内の第1エラーを訂正する第1エラー訂正回路と、前記第1エラー訂正回路は前記第1グループのデータ及びチェックビットを順次受け入れて前記第1シンドロームビットを発生する第1シンドローム発生器と、前記第1グループのデータビット内の第1エラーを検出するための前記第1シンドロームビットをデコーディングして前記第1エラーの存在の有無を示す第1信号を出力する第1検出器と、前記第1グループのデータビットを順次受け入れて前記第1エラーの存在の有無を示す前記第1信号に応答して前記第1グループのデータビット内の第1エラーを訂正する第1訂正器とで構成され、前記第2グループのデータビット内

の第2エラーを訂正する第2エラー訂正回路を含み、前記第2エラー訂正回路は前記第2グループのデータ及びチェックビットを順次受け入れて前記第2シンドロームビットを発生する第2シンドローム発生器と、前記第2グループのデータビット内の第2エラーを検出するための前記第2シンドロームビットをデコーディングして前記第2エラーの存在の有無を示す第2信号を出力する第2検出器と、前記第2グループのデータビットを順次受け入れて前記第2エラーの存在の有無を示す前記第2信号に応答して前記第2グループのデータビット内の第2エラーを訂正する第2訂正器とで構成され、前記第1及

び第2訂正器により各々訂正された第1及び第2グループのデータビットは前記入／出力回路を通じて外部へ交互に出力される。ここで、前記第1及び第2シンドローム発生器は書き込み動作モード中第1及び第2グループのチェックビットを発生する手段で各々機能することが出来る。

【0022】本発明はさらに、複数のデータビットと前記データビットに対応する複数のチェックビットとを蓄積するメモリセルアレイと、前記データビット及びチェックビットは少なくとも第1及び第2グループに分割されており、前記メモリセルアレイから前記データビット及びチェックビットを読出す読出し回路と、前記データビットを外部へ／から出力／入力する入／出力回路と、前記第1グループのデータ及びチェックビットを順次受け入れて第1シンドロームビットを発生する第1シンドローム発生器と、前記第2グループのデータ及びチェックビットを順次受け入れて第2シンドロームビットを発生する第2シンドローム発生器と、前記第1及び第2シンドローム発生器から出力される第1及び第2シンドロームビットを交互に受け入れ、前記第1グループのデータビット内の第1エラーを検出するための前記第1シンドロームビットと前記第2グループのデータビット内の第2エラーを検出するための前記第2シンドロームビットとを交互にデコーディングし、前記第1エラーの存在の有無を示す第1信号と前記第2エラーの存在の有無を示す第2信号とを交互に出力する検出器と、前記第1及び第2グループのデータビットを交互に受け入れる訂正器とを含み、前記訂正器は前記第1エラーの存在の有無を示す前記第1信号に応答して前記第1グループのデータビット内の第1エラーを訂正し、前記第2エラーの存在の有無を示す前記第2信号に応答して前記第2グループのデータビット内の第2エラーを訂正する動作を実行し、前記第1及び第2訂正器により各々訂正された第1及び第2グループのデータビットは前記入／出力回路を介して外部へ交互に出力されるよう構成することが出来る。

【0023】本発明はさらに、各々が複数のデータビットと前記データビットに対応する複数のチェックビットとを蓄積する複数の入／出力メモリブロックに分割されたメモリセルアレイと、前記入／出力メモリブロックに各々対応する複数の入／出力回路と、前記各入／出力メモリブロックからデータビット及びチェックビットを読出す読出し回路と、前記各入／出力メモリブロックから読出されたデータビットのエラーを訂正する手段と、前記エラー訂正手段は前記入／出力回路に各々対応する複数のエラー訂正部とを含み、各エラー訂正部は対応する入／出力メモリブロックから読出された奇数番データビット内の第1エラーを訂正する第1エラー訂正回路と、前記対応する入／出力メモリブロックから読出された偶数番データビット内の第2エラーを訂正する第2エラー訂

正回路とを含み、前記第1エラー訂正回路は、前記対応する入／出力メモリブロックから読出されたデータ及びチェックビット中の奇数番データ及びチェックビットを順次受け入れて第1シンドロームビットを発生する第1シンドローム発生器と、前記奇数番のデータビット内の前記第1エラーを検出するための前記第1シンドロームビットをデコーディングして前記第1エラーの存在の有無を示す第1信号を出力する第1検出器と、前記奇数番データビットを順次受け入れて前記第1エラーの存在の有無を示す前記第1信号に応答して前記奇数番データビット内の第1エラーを訂正する第1訂正器とで構成され、前記第2エラー訂正回路は、前記対応する入／出力メモリブロックから読出されたデータ及びチェックビット中の偶数番データ及びチェックビットを順次受け入れて第2シンドロームビットを発生する第2シンドローム発生器と、前記偶数番のデータビット内の前記第2エラーを検出するための前記第2シンドロームビットをデコーディングして前記第2エラーの存在の有無を示す第2信号を出力する第2検出器と、前記偶数番データビットを順次受け入れて前記第2エラーの存在の有無を示す前記第2信号に応答して前記奇数番データビット内の第2エラーを訂正する第2訂正器とで構成することが出来る。

【0024】本発明はさらに、各々が複数のデータビットと前記データビットに対応する複数のチェックビットとを蓄積する複数の入／出力メモリブロックに分割されたメモリセルアレイと、前記入／出力メモリブロックに各々対応する複数の入／出力回路と、前記各入／出力メモリブロックからデータビット及びチェックビットを読出す読出し回路と、前記各入／出力メモリブロックから読出されたデータビットのエラーを訂正する手段と、前記エラー訂正手段は前記入／出力回路に各々対応する複数のエラー訂正部とを含み、前記各々のエラー訂正部は、対応する入／出力メモリブロックから読出されたデータ及びチェックビット中の奇数番データ及びチェックビットを順次受け入れて第1シンドロームビットを発生する第1シンドローム発生器と、前記対応する入／出力メモリブロックから読出されたデータ及びチェックビット中の偶数番データ及びチェックビットを順次受け入れて第2シンドロームビットを発生する第2シンドローム発生器と、前記第1及び第2シンドローム発生器から出力される第1及び第2シンドロームビットを交互に受け入れ、前記奇数番データビット内の第1エラーを検出するための前記第1シンドロームビットと前記偶数番データビット内の第2エラーを検出するための前記第2シンドロームビットとを交互にデコーディングし、前記第1エラーの存在の有無を示す第1信号と前記第2エラーの存在の有無を示す第2信号とを交互に出力する検出器と、前記奇数番及び偶数番データビットを交互に受け入れる訂正器とを含み、前記訂正器は前記第1エラーの存

在の有無を示す前記第1信号に応答して前記奇数番データビット内の第1エラーを訂正して前記第2エラーの存在の有無を示す前記第2信号に応答して前記偶数番データビット内の第2エラーを訂正する動作を実行するよう構成することが出来る。

#### 【0025】

【発明の実施の形態】本発明による望ましい実施の形態を参照図面に基づき以下詳細に説明する。図4は、本発明による半導体メモリ装置の望ましい実施の形態である。この実施の形態では入／出力データ幅を×8と仮定して説明する。半導体メモリ装置へ／からデータを出力／入力するための8個の入／出力回路が設けられる。この実施の形態の半導体メモリ装置はメモリセルアレイ100を有し、8個の入／出力回路220に各々対応するように8個の入／出力メモリブロックIOMB1—IOMB8に分割されている。

【0026】図4に示すように、各入／出力メモリブロックIOMB1—IOMB8には512本のビットラインBLと18本のパリティビットラインPBLとが設けられる。複数のワードラインWL<sub>i</sub>は入／出力メモリブロックIOMB1—IOMB8を介して行方向へ各々配置され、行デコーダ回路120に結合される。複数のメモリセルMCは各入／出力メモリブロックのワードラインWL<sub>i</sub>とビットラインBL<sub>m</sub>, PBL<sub>n</sub>との交差領域に各々配置される。各入／出力メモリブロックIOMB1—IOMB8に設けられる512本のビットラインBL<sub>m</sub>に結合されたメモリセルにはデータビットが各々蓄積され、各入／出力メモリブロックIOMB1—IOMB8に設けられる10本のパリティビットラインPBL<sub>n</sub>に各々結合されたメモリセルにはチェックビットが各々蓄積される。

【0027】以下、説明の便宜上、一つの入／出力メモリブロック（例えば、IOMB1）に関連する構成要素について説明するが、他のブロック（例えば、IOMB2—IOMB8）に関連する構成要素もブロックIOMB1と同一構成である。続けて、図4を参照すると、メモリセルアレイ100の下側には、第1グループのビットラインとパリティビットライン、例えば、512のビットラインBL1—BL512と18本のパリティビットラインPBL1—PBL18中の奇数番ビットライン(BL1, BL3, …, BL511)と奇数番パリティビットライン(PBL1, PBL3, …, PBL17)とが結合された第1感知增幅回路140\_bottomが配置される。第1感知增幅回路140\_bottomには、図4に図示しない、前述した'717特許に記載されたようなラッチ型感知增幅器が256本のビットライン(BL1, BL3, …, BL511)と9本のパリティビットライン(PBL1, PBL3, …, PBL17)とに各々対応するように配置される。メモリセルアレイ100の上側には、第2グループのビットラインと

パリティビットライン、例えば、512のビットラインBL1—BL512と18本のパリティビットラインPBL1—PBL18中の偶数番ビットライン(BL2, BL4, …, BL512)と偶数番パリティビットライン(PBL2, PBL4, …, PBL18)とが結合された第2感知增幅回路140\_topが配置される。第2感知增幅器回路140\_topには、ラッチ型感知増幅器が256本のビットライン(BL2, BL4, …, BL512)と9本のパリティビットライン(PBL2, PBL4, …, PBL18)とに各々対応するように配置される。

【0028】前述した感知増幅器配置によると、選択ワードラインWL<sub>i</sub>と奇数番ビットライン(BL1, BL3, …, BL511)との交差領域に各々配置されたメモリセルに貯えられた256個のデータビットと、選択ワードラインWL<sub>i</sub>と奇数番パリティビットライン(PBL1, PBL3, …, PBL17)との交差領域に各々配置されたメモリセルに貯えられた9個のチェックビットとは第1感知增幅回路140\_bottomにより感知されてラッチされる。同様に、選択ワードラインWL<sub>i</sub>と偶数番ビットライン(BL2, BL4, …, BL512)との交差領域に各々配置されたメモリセルに貯えられた256個のデータビットと、選択ワードラインWL<sub>i</sub>と偶数番パリティビットライン(PBL2, PBL4, …, PBL18)との交差領域に各々配置されたメモリセルに貯えられた9個のチェックビットとは第2感知增幅器回路140\_topにより感知されてラッチされる。

【0029】第1列バスゲート回路160\_bottomと第1列デコーダ回路180\_bottomとは第1感知增幅回路140\_bottomに対応するようにメモリセルアレイ100の下側に配置される。第1列バスゲート回路160\_bottomには、各々が奇数番ビットラインを介して、対応する入／出力メモリブロックから256個のデータビット（奇数番データビット）のエラーを検出して訂正する8個のエラー訂正回路200\_bottomが結合される。同様に、第2列バスゲート回路160\_topと第2列デコーダ回路180\_topとは第2感知增幅回路140\_topに対応するようにメモリセルアレイ100の上側に配置される。第2列バスゲート回路160\_topには、各々が偶数番ビットラインを介して対応する入／出力メモリブロックから256個のデータビット（偶数番データビット）のエラーを検出して訂正する8個のエラー訂正回路200\_topが結合される。結果的に、一つの入／出力メモリブロックに対応するように2個のエラー訂正回路200\_bottomと200\_topとが設けられ、図4に示すように対応する入／出力回路220に共通に結合される。

【0030】第1列バスゲート回路160\_bottom

mは読み出し動作モードの第1サイクル中、奇数番データ及びチェックビットをエラー訂正回路200\_botttomへ順次転送し、第2列バスゲート回路160\_topは第1サイクル中、偶数番データ及びチェックビットをエラー訂正回路200\_topへ順次転送する。

【0031】例えば、奇数番ビットラインBL1と偶数番ビットラインBL2とに関連する2個のデータビットは第1及び第2列バスゲート回路160\_botttomおよび160\_topを介して対応するエラー訂正回路200\_botttomおよび200\_topへ同時に転送される。他のデータビット及びチェックビットも前述したと同一の方法で対応するエラー訂正回路200\_botttomおよび200\_topへ転送される。その後、エラー訂正回路200\_botttomは256個の奇数番データビット及び9個の奇数番チェックビットに応答して第1サイクル中、256個のデータビット内に存在する1ビットエラー位置を検出する。同様に、エラー訂正回路200\_topは256個の偶数番データビット及び9個の偶数番チェックビットに応答して第1サイクル中、256個のデータビット内に存在する1ビットエラー位置を検出する。

【0032】265個の奇数番データ及びチェックビットと265個の偶数番データ及びチェックビットとが対応するエラー訂正回路200\_botttomおよび200\_topへ順次並列に転送されるので第1サイクル中ただ265個のクロックサイクルが使用される。これはデータビット内のエラー位置を検出するに必要な時間が従来の半導体メモリ装置の場合の時間と比較して、ほぼ半分に短縮されることを意味する。結果的に、本発明によるオンチップECCを備えたフラッシュメモリ装置のアクセス時間が短縮できる。

【0033】続けて、読み出し動作モードの第2サイクル中には、各エラー訂正回路200\_botttomおよび200\_topは256個の奇数番データビット及び256個の偶数番データビットを受け入れ、第1サイクル中検出されたエラー位置の情報を各々用いて奇数番データビット中の1ビットエラーと偶数番データビット中の1ビットエラーとを訂正する。前述した従来の半導体メモリ装置と同様に、第2サイクル中に512個のクロックサイクルが使用される。しかし、一つの入／出力メモリブロックから読み出された512個のデータビット中の少なくとも2個のエラーデータビットが検出訂正されることが分かる。従って、本発明の半導体メモリ装置はエラー訂正効率が改善される。

【0034】各入／出力メモリブロックに配置された複数のビットラインと複数のパリティビットラインとは均等に2N個のグループ(N=1, 2, …, j)に分割され、2N個のエラー訂正回路が前述したと同一な方法で一つの入／出力回路に対応するように設けられる。したがって、各入／出力メモリブロックから読み出されたデータ

タビット中の2N個のエラーデータビットが検出訂正できる。

【0035】図5は読み出し及び書き込み動作モードによるデータ入力とデータ出力との関係を説明するためのブロック図である。図5を参照すると、信号READがロジックハイレベルであり、信号WRITExがロジッククローレベルの時、即ち、読み出し動作モード中、感知增幅回路140にラッチされたデータビットは列バスゲート回路160及びスイッチSW1を介してエラー訂正回路200の入力端子Dinに順次に印加される。その後、ECC200で訂正されたデータビットはスイッチSW2を介して入／出力回路220へ順次転送される。一方、信号READがロジックハイレベルの時、即ち、書き込み動作モード中、入／出力回路220を介して外部から供給されるデータビットはスイッチSW3を介してエラー訂正回路200の入力端子Dinに順次印加される。エラー訂正回路200は複数のシンドロームビットを発生し、シンドロームビットはスイッチSW4及び列バスゲート回路160を介して感知增幅回路140へ転送される。

【0036】前述したように、第1列バスゲート回路160\_botttomに結合された図4のエラー訂正回路200\_botttomが書き込み動作モード中、奇数番チェックビットを生成するための回路として機能することが分かる。同様に、第2列バスゲート回路160\_topに結合された図4のエラー訂正回路200\_topが書き込み動作モード中、偶数番チェックビットを生成するための回路として機能する。これに関連する詳細動作は後述する。

【0037】図6は、一つの入／出力回路に関する2個のエラー訂正回路、第1及び第2感知增幅回路、および第1及び第2列バスゲート回路を示すブロック図である。図6で図示の便宜上、第1列バスゲート回路160\_botttomは対応する制御信号C\_TNB\_1\_i(i=1~265)及びCTNB\_2\_j(j=1~256)により各々スイッチ動作するスイッチ回路161\_1, 161\_2で記号化されている。同様に、第2列バスゲート回路160\_topは対応する制御信号CTNT\_1\_i及びCTNT\_2\_jにより各々スイッチ動作するスイッチ回路162\_1, 162\_2で記号化されている。記号\_1, \_2は各々第1サイクルと第2サイクルとを示す。

【0038】図6に示すように、エラー訂正回路200\_botttomはスイッチ回路161\_1(即ち、第1列バスゲート回路160\_botttom)を介して第1感知增幅回路140\_botttomに結合され、シンドローム発生器201、エラー検出器202およびエラー訂正器203で構成される。シンドローム発生器201は読み出し動作モードの第1サイクル中、256個の奇数番データビットと9個の奇数番チェックビットとを受け

入れて9個のシンドロームビットを発生する。エラー検出器202はシンドローム発生器201から出力された9個のシンドロームビットを受け入れてエラーの存在を示す信号を出力する。そして、エラー訂正器203は第2サイクル中スイッチ回路161\_2（即ち、第1列パスゲート回路160\_bottom）を介して第1感知增幅器回路140\_bottomからの256個のデータビットを順次に受け入れ、エラー検出器202からの信号に応答して256個のデータビット中の一つのエラーデータビットを訂正する。そのように訂正された256個のデータビットは対応する入／出力回路220へ順次転送される。

【0039】図6のエラー訂正回路は、スイッチ回路162\_1（即ち、第2列パスゲート回路160\_top）を介して第2感知增幅回路140\_topに結合される。エラー訂正回路200\_topはシンドローム発生器201、エラー検出器202およびエラー訂正器203で構成され、エラー訂正回路200\_bottomの構成要素と同一の機能を実行する。したがって、その詳細説明は省略する。

【0040】図7は、本発明による図4に示すエラー訂正回路の望ましい実施の形態であり、図8は、図7で使用された制御信号間のタイミングを示す図である。図7を参照すると、エラー訂正回路200\_bottomは発生器多項式 $g(x) = x^r + x + 1$ により生成されたハミングコード（ $2^r \geq m+r+1$ ）に根拠を置き、図7に示すように結合された9個のシフトレジスタSR1～SR9と2個の排他的ORゲート回路209及び210とを含み、シンドローム発生器201を構成する。回路200\_bottomには、シンドローム発生器201から生成された9個のシンドロームビットをデコーディングしてエラー検出器として機能する9ー入力ロジック回路202がさらに含まれている。エラー訂正回路200\_bottomはエラー訂正器として使用される排他的ORゲート203、3個のNANDゲート204、205、206、およびPMOS及びNMOSトランジスタ207、208を付加的に含み、図7に示されるように結合される。

【0041】第1感知增幅回路140\_bottomに対応するエラー訂正回路200\_bottom、200\_topが図7に示されているが、第2感知增幅回路140\_topに対応するエラー訂正回路200\_topも同一に構成出来ることは明らかである。

【0042】本発明によるエラー訂正回路200\_bottomの動作を添付図面に基づき以下詳細に説明する。前述したように、データビットを読出す動作は第1サイクルと第2サイクルとに分割される。例えば、入／出力メモリ装置IOMB1から読出された256個の奇数番データビットと9個の奇数番チェックビットとが第1感知增幅回路140\_bottomにラッピングされ、入

／出力メモリ装置IOMB1から読出された256個の偶数番データビットと9個の偶数番チェックビットとが第2感知增幅回路140\_topにラッピングされると仮定する。

【0043】第1サイクル中、図8に示されたように、信号CTL1、CTL2、CTL3はロー状態に保たれ、その結果PMOSトランジスタ207はターンオンされてNANDゲート204、205の出力信号は各々ハイ状態に保たれる。この条件下で、第1感知增幅回路

140\_bottomにラッピングされた奇数番データ及びチェックビットは入力端子DinとPMOSトランジスタ207を介してエラー訂正回路200\_bottomのシンドローム発生器201へ順次転送される。同時に、第2感知增幅回路140\_topにラッピングされた偶数番データ及びチェックビットは入力端子DinとPMOSトランジスタ207を介してエラー訂正回路200\_topのシンドローム発生器201へ順次転送される。対応するシンドローム発生器201へ順次転送された奇数番及び偶数番データ及びチェックビットはシフトレジスタSR1～SR9を介して循環される。前述した循環動作の結果として、エラー訂正回路200\_bottomと200\_topとに各々対応するシンドローム発生器から第1及び第2列シンドロームビットが生成される。対応するシンドローム発生器201に各々貯えられた第1及び第2列のシンドロームビットは奇数番データビットのエラー位置と偶数番データビットのエラー位置とを各々示すアドレスとして使用される。

【0044】その後、第2サイクル中、信号CTL1、CTL2はロジックローレベルからロジックハイレベルへ各々遷移し、信号CTL3は続けてロー状態に保たれる。これにより、PMOSトランジスタ207はターンオフされてNMOSトランジスタ208はターンオンされる。即ち、入力端子Dinはシンドローム発生器201から電気的に分離される。代わりに、入力端子Dinへ印加されるデータビットはNANDゲート204、205を介してエラー訂正器203へ転送される。

【0045】詳しくは、第1及び第2感知增幅回路140\_bottom、140\_topに保たれる奇数番及び偶数番データビットは、対応する列パスゲート回路1

60bottom、160\_top及び各回路200\_bottom、200\_topのNANDゲート205、206を介して対応するエラー訂正器203へ交互に転送される。例えば、任意の奇数番データビットはエラー訂正回路200\_bottomのエラー訂正器203へ転送され、その後任意の偶数番データビットがエラー訂正回路200\_topのエラー訂正器203へ転送される。

【0046】同時に、奇数番データビットに対応する第1列のシンドロームビットは一つのデータビットがエラー訂正回路200\_bottomのエラー訂正器203

へ転送される毎にエラー訂正回路200\_bottomのシンドローム発生器201から循環又は右側へシフトされる。そのようにシフトされた（循環された）シンドロームビットはエラー訂正回路200\_bottomのエラー検出器202によりデコーディングされる。デコーディングされた結果即ち、現在転送されたデータビットのエラー有無を示す信号がエラー訂正回路200\_bottomのエラー訂正器203に印加される。同様に、エラー訂正回路200\_topも前述したと同一の方法で動作する。

【0047】結果的に、奇数番データビットがエラー訂正回路200\_bottomのエラー訂正器203に印加されると、印加されたデータビットはエラー訂正回路200\_bottomのエラー検出器202から出力される信号のロジック状態に応じてエラー訂正された後、又はエラー訂正することなく出力される。例えば、エラー検出器202から出力された信号がロジックハイレベルの時は、エラー訂正器203に印加される奇数番データビットはエラービットであることを意味する。従って、データビットはエラー訂正後に入／出力回路220に出力される。エラー検出器202から出力された信号がロジックローレベルの時は、エラー訂正器203に印加される奇数番データビットにはエラービットがないことを意味する。従って、データビットはエラー訂正なしで入／出力回路220に出力される。

【0048】前述したように、エラー訂正回路200\_bottom, 200\_topは各々奇数番チェックビット及び偶数番チェックビットを生成する回路として使用される。詳しくは、書き込み動作モード中、信号CTL1, CTL3はロジックロー・レベルよりなり、信号CTL2はロジックハイ・レベルよりなる。この条件下で、入／出力メモリブロックIOMB1に書込まれる512個のデータビット中の256個の奇数番データビットはエラー訂正回路200\_bottomの入力端子Dinへ順次印加される。そのように印加された256個の奇数番データビットはNANDゲート204, 205及び第1列パスゲート回路160\_bottomを介して第1感知增幅回路140\_bottomへ順次転送される。これと同時に、256個の奇数番データビットはPMOSトランジスタ207を通じてシンドローム発生器201に順次転送されて循環される。このような動作は256個の奇数番データビットが全てシンドローム発生器201に印加された時終了する。結果的に、256個のデータビットに対応する9個のチェックビットがシンドローム発生器201により生成され、その後に信号CTL1, CTL3がハイ状態に、そして信号CTL2がロー状態に保たれる時NANDゲート206, 205を介して第1感知增幅回路140\_bottomへ順次転送される。同様に、256個の偶数番データビットに対応する9個のチェックビットは前述したと同一な方法で発生

され、第2感知增幅回路140\_topへ順次転送される。以後、奇数番及び偶数番データ及びチェックビットは周知のプログラム手続きを用いてプログラムされる。

【0049】図9は、図6で使用されたスイッチ制御信号間のタイミングを示す図面である。本発明によるデータエラーを訂正する動作を図面を参照して、以下詳細に説明する。説明の便宜上、ただ一つの入／出力回路220に対応するエラー訂正回路200\_bottom, 200\_topに関連するエラー訂正動作のみを以下説明するが、他の入／出力回路に関連する動作も同一である。

【0050】第1サイクル中、256個の奇数番データビット及び9個の奇数番チェックビットが第1感知增幅回路140\_bottomにラッチされ、256個の偶数番データビット及び9個の偶数番チェックビットが第2感知增幅回路140\_topにラッチされる。以後、制御信号CTNB\_1\_1, CTNT\_1\_1が同時にパルスされることにより、第1感知增幅回路140\_bottomにラッチされた奇数番データビットと第2感知增幅回路140\_topにラッチされた偶数番データビットとが対応するエラー訂正回路200\_bottom, 200\_topのシンドローム発生器201へ同時に印加される。他の奇数番及び偶数番データ及びチェックビットは前述したと同一の方法によりスイッチ回路161\_1, 162\_1を介して対応するシンドローム発生器201へ同時に転送される。前述した過程によると、奇数番データビットに対応する第1カラムの9個のシンドロームビットはエラー訂正回路200\_bottomのシンドローム発生器201で生成され、偶数番データビットに対応する第2カラムの9個のシンドロームビットはエラー訂正回路200\_topのシンドローム発生器201で生成される。第1サイクル中、全ての制御信号CTNB\_2\_j, CTNT\_2\_jが図8に示されたようにロー状態に保たれるので、スイッチ回路161\_2, 162\_2は動作しない。

【0051】第1列のシンドロームビットは第2サイクル中奇数番データビット内のエラー存在位置を検出するためのアドレス情報として使用され、第2列のシンドロームビットは第2サイクル中偶数番データビット内のエラー存在位置を検出するためのアドレス情報として使用される。

【0052】第1サイクルで要求される時間は265個のクロックサイクルに対応し、従来のフラッシュメモリ装置の場合は530個のクロックサイクルに対応することが分かる。第1サイクル中、本発明によるオンチップECCを備えたフラッシュメモリ装置のアクセス時間は従来のフラッシュメモリ装置によるアクセス時間の半分に短縮できる。

【0053】第2サイクル中、奇数番データビットのエラーと偶数番データビットのエラーとが第1及び第2列

のシンドロームビットを用いて各々訂正される。詳しくは、制御信号 C T N B \_ 2 \_ 1 がロジックローレベルからロジックハイレベルへ遷移する時、奇数番データビットはスイッチ回路 1 6 1 \_ 2 を介して回路 2 0 0 \_ b o t t o m のエラー訂正器 2 0 3 へ印加される。同時に、エラーの有無を示す信号がエラー検出器 2 0 2 からエラー訂正器 2 0 3 へ印加され、エラー検出器 2 0 2 は第 1 列のシンドロームビットをデコーディングしてエラーの有無を示す信号を出力する。エラー訂正器 2 0 3 に現在印加された奇数番データビットはエラー検出器 2 0 2 から出力される信号のロジック状態によりエラー訂正がされた後、又はエラー訂正なしで対応する入／出力回路 2 2 0 へ出力される。

【0054】その後、図 8 に示すように、制御信号 C T N B \_ 2 \_ 1 がロジックハイレベルからロジックローレベルへ遷移して制御信号 C T N T \_ 2 \_ 1 がロジックローレベルからロジックハイレベルへ遷移する時、偶数番データビットがスイッチ回路 1 6 2 \_ 2 を介して回路 2 0 0 \_ t o p のエラー訂正器 2 0 3 に印加される。同時に、エラーの有無を示す信号がエラー検出器 2 0 2 からエラー訂正器 2 0 3 へ印加され、エラー検出器 2 0 2 はシンドローム発生器 2 0 1 から出力される第 2 列のシンドロームビットをデコーディングしてエラーの有無を示す信号を出力する。エラー訂正器 2 0 3 に現在印加された偶数番データビットはエラー検出器 2 0 2 から出力される信号のロジック状態によりエラー訂正がされた後、又はエラー訂正なしで対応する入／出力回路 2 2 0 へ出力される。

【0055】第 1 列のシンドロームは、次の奇数番データビットがエラービットであるか否かの可否を示す信号を発生するために、対応するシンドローム発生器 2 0 1 から右側へシフトされる。同様に、第 2 列のシンドロームビットは次の偶数番データビットがエラービットであるかの可否を示す信号を発生するために対応するシンドローム発生器 2 0 1 から右側へシフトされる。

【0056】以後、前述したエラー訂正動作は他の奇数番及び偶数番データビットに関して反復的に実行される。詳細説明は省略する。本発明によるエラー訂正スキームに関連して、奇数番データビット内の 1 ピットエラーがエラー訂正回路 1 4 0 \_ b o t t o m を通じて訂正され、同時に偶数番データビット内の 1 ピットエラーがエラー訂正回路 2 0 0 \_ t o p を通じて訂正される。従って、各入出力メモリブロックから読み出された 5 1 2 個のデータビット中の 2 個のエラーデータビットが訂正される。

【0057】図 10 は、本発明による半導体メモリ装置の第 2 実施形態である。図 10 で、図 4 の構成要素と同一な構成要素は同一な又は類似した参照番号で表記される。図 10 に示された第 2 の実施形態は、感知增幅回路 1 4 0 、列パスマスク回路 1 6 0 そして列デコーダ回路

1 8 0 が下側に配列されるという点で図 4 の第 1 の実施形態とは異なる。第 1 の実施形態のように、2 個のエラー訂正回路 2 0 0 \_ o d d 、2 0 0 \_ e v e n が一つの入出力回路 2 2 0 に対応するように配置され、列パスマスク回路 1 6 0 に各々結合される。前述した構造によると、感知增幅回路 1 4 0 の奇数番感知增幅器（図示せず）に各々ラッピングされた奇数番データビットはカラムパスマスク回路 1 6 0 を介してエラー訂正回路 2 0 0 \_ o d d へ順次転送され、偶数番感知增幅器に各々ラッピングされた偶数番データビットは列パスマスク回路 1 6 0 を介してエラー訂正回路 2 0 0 \_ e v e n へ順次転送される。各エラー訂正回路 2 0 0 \_ o d d 、2 0 0 \_ e v e n は第 1 の実施形態と同一に構成され、第 1 の実施形態と同一の機能を実行する。従って、その詳細説明は省略する。第 2 の実施形態は図 4 の第 1 の実施形態と同一の効果を有する。

【0058】図 11 は、本発明による半導体メモリ装置の第 3 の実施形態である。図 11 で、図 4 の構成要素と同一の構成要素には同一の参照番号が付されている。半導体メモリ装置、例えば、フラッシュメモリ装置はメモリセルアレイ 1 0 0 、行デコーダ回路 1 2 0 、第 1 及び第 2 感知增幅回路 1 4 0 \_ b o t t o m 、1 4 0 \_ t o p 、第 1 及び第 2 列パスマスク回路 1 6 0 \_ b o t t o m 、1 6 0 \_ t o p 、および第 1 及び第 2 列デコーダ回路 1 8 0 \_ b o t t o m 、1 8 0 \_ t o p から構成され、各々の構成要素は第 1 の実施形態と同一の機能を実行する。従って、重複を避けるためにその詳細説明は省略する。

【0059】図 11 のフラッシュメモリ装置は入／出力回路 2 2 0 に各々対応する 8 個のエラー訂正回路 3 0 0 を含む。本発明による各エラー訂正回路 3 0 0 の望ましい実施の形態が図 12 に示されている。図 12 では、図示の便宜上、第 1 列パスマスク回路 1 6 0 \_ b o t t o m は対応する制御信号 C T N B \_ 1 \_ i (i = 1 - 2 6 5) C T N B \_ 2 \_ j (j = 1 - 2 5 6) によりスイッチ動作を実行するスイッチ回路 1 6 1 \_ 1 、1 6 1 \_ 2 として記号化されている。同様に、第 2 列パスマスク回路 1 6 0 \_ t o p は対応する制御信号 C T N T \_ 1 \_ i 、C T N T \_ 2 \_ j によりスイッチ動作を実行するスイッチ回路 1 6 2 \_ 1 、1 6 2 \_ 2 として記号化されている。ここで、記号 1 \_ 2 は第 1 サイクルと第 2 サイクルとを各々示す。制御信号 C T N B \_ 1 \_ i 、C T N B \_ 2 \_ j 、C T N T \_ 1 \_ i 、C T N T \_ 2 \_ j は図 9 に示したと同一の方法で変化する。

【0060】図 12 に示したように、エラー訂正回路 3 0 0 は 2 個のシンドローム発生器 3 0 1 \_ B 、3 0 1 \_ T 、エラー検出器 3 0 2 そしてエラー訂正器 3 0 3 を含む。シンドローム発生器 3 0 1 \_ B は第 1 サイクル中、スイッチ回路 1 6 1 \_ 1 を介して 2 5 6 個の奇数番データビットと 9 個の奇数番チェックビットとを順次受け入

れ、奇数番データビットのエラー位置を示すアドレスとして使用される第1列のシンドロームビットを発生する。そして、シンドローム発生器301\_Tは第1サイクル中、スイッチ回路162\_1を介して256個の偶数番データビットと9個の偶数番チェックビットとを順次受け入れ、偶数番データビットのエラー位置を示すアドレスとして使用される第2列のシンドロームビットを発生する。

【0061】エラー検出器302はシンドローム発生器301\_B, 301\_Tと共に結合され、シンドローム発生器301\_B, 301\_Tから出力される第1列及び第2列のシンドロームビットを交互に受け入れる。その後、エラー検出器302は奇数番データビット内のエラーを検出するため、そのように入力された第1列のシンドロームビットと偶数番データビット内のエラーを検出するためそのように入力された第2列のシンドロームビットとを交互にデコーディングする。デコーディング結果に基づき、エラー検出器302は奇数番データビット内のエラー有無を示す第1信号と偶数番データビット内のエラー有無を示す第2信号とを交互に出力する。

【0062】第2サイクル中、エラー訂正器303はスイッチ回路161\_2を介して第1感知增幅回路140\_bottomから出力される256個のデータビットと、スイッチ回路162\_2を介して第2感知增幅回路140\_topから出力される256個のデータビットとを交互に受け入れ、エラー検出器302から出力される第1信号に応答して奇数番データビット中の一つのエラーとエラー検出器302から出力される第2信号に応答して偶数番データビット中の一つのエラーとを各々訂正する。

【0063】本発明の第3の実施形態によるデータビットエラーを訂正する動作を図8、図11および図12を参照して以下詳細に説明する。説明の便宜上、ただ一つの入／出力メモリブロックIOMB1に対応するエラー訂正回路300に関連するエラー訂正動作のみを以下説明するが、他の入／出力メモリブロックIOMB2-IOMB8に対応するエラー訂正回路に関連する動作もやはり同一に実行されることは自明である。

【0064】第1サイクル中、256個の奇数番データビットと9個の奇数番チェックビットとが第1感知增幅回路140\_bottomにラッピングされ、256個の偶数番データビットと9個の偶数番チェックビットとが第2感知增幅回路140\_topにラッピングされる。以後、制御信号CTNB\_1\_1, CTNT\_1\_1が同時にパルスされることにより、第1感知增幅回路140\_bottomの奇数番データビットと第2感知增幅回路140\_topの偶数番データビットとがシンドローム発生器301\_B, 301\_Tに同時に印加される。他の奇数番及び偶数番データ及びチェックビットは前述したと同一の方法でスイッチ回路161\_1, 162\_1を

介して対応するシンドローム発生器301\_B, 301\_Tに印加される。前述した過程によると、奇数番データビットに対応する第1列シンドロームビットがシンドローム発生器301\_Bで生成され、偶数番データビットに対応する第2列のシンドロームビットがシンドローム発生器301\_Tで生成される。第1サイクル中、スイッチ回路161\_2, 162\_2は全ての制御信号CTNB\_2\_j, CTNT\_2\_jが図8に示すようにロー状態に保たれるので動作しない。

【0065】第2サイクル中、制御信号CTNB\_2\_1がロジックローレベルからロジックハイレベルへ遷移する時、奇数番データビットがスイッチ回路161\_2を介して第1感知增幅回路140\_bottomからエラー訂正器303へ印加される。同時に奇数番データビットがエラービットであるか否かの可否を示す第1信号がエラー検出器302からエラー訂正器303へ印加される。エラー訂正器303に現在印加された奇数番データビットは、エラー検出器302から出力される第1信号のロジック状態によりエラー訂正された後、又はエラー訂正なしで対応する入／出力回路220へ出力される。

【0066】その後、図8に示されたように、制御信号CTNB\_2\_1がロジックハイレベルからロジックローレベルへ遷移し、制御信号CTNT\_2\_1がロジックローレベルからロジックハイレベルへ遷移する時、偶数番データビットスイッチ回路162\_2を介してエラー訂正器303に印加される。同時に、偶数番データビットがエラービットであるか否かの可否を示す第2信号がエラー検出器302からエラー訂正器303へ印加される。エラー訂正器303に現在印加された偶数番データビットはエラー検出器302から出力される第2信号のロジック状態によりエラー訂正された後、又はエラー訂正なしで対応する入／出力回路220へ出力される。

【0067】第1列のシンドロームビットは次の奇数番データビットがエラービットであるか否かの可否を示す信号を発生するために、対応するシンドローム発生器301\_Bから右側へシフトされる。同様に、第2列のシンドロームビットは次の偶数番データビットがエラービットであるか否かの可否を示す信号を発生するために、対応するシンドローム発生器301\_Tから右側へシフトされる。以後、前述したエラー訂正動作は他の奇数番及び偶数番データビットに関しても反復的に実行される。したがって、その説明は省略する。

【0068】本発明の第3の実施形態によると、第1サイクルで要求される時間が265個のクロックサイクルに対応し、従来のフラッシュメモリ装置の場合の530個のクロックサイクルに対応する。第1サイクル中、オンチップECCを備えたフラッシュメモリ装置のアクセス時間は従来のフラッシュメモリ装置によるアクセス時間と比較し半分に短縮できる。さらに、奇数番データビ

27

ット内の1ビットエラーがエラー訂正回路140\_b o t t o mを介して訂正され、同時に偶数番データビット内の1ビットエラーがエラー訂正回路200\_t o pを介して訂正される。従って、各入／出力メモリブロックから読出された512個のデータビット中の2個のエラーデータビットが訂正される。

【0069】図13は、本発明による半導体メモリ装置の第4の実施形態である。図13で、図11の構成要素と同一の構成要素には同一又は類似の参照番号を付して表記する。図13に示された第4の実施形態は感知增幅回路140、列バスゲート回路160そして列デコーダ回路180がメモリセルアレイ100の下側に配置されるという点で図11の第3の実施形態と異なる。第3の実施形態のように、一つのエラー訂正回路300が一つの入／出力回路220に対応するように配置され、列バスゲート回路160に結合される。図13に示すエラー訂正回路13の望ましい実施形態を示す図14に示すように、エラー訂正回路300は図12の第3の実施形態と同一の構成を有し、又同一の機能を実行する。従って、第4の実施形態の説明は省略する。結果的に、第4の実施形態は図11の第3の実施形態と同一の効果を有する。

#### 【0070】

【発明の効果】前述したように、本発明の望ましい実施形態によると、第1サイクルで要求される時間が、530個のクロックサイクルに替わり265個のクロックサイクルに対応する時間まで短縮されるので、オンチップECCを備えたフラッシュメモリ装置のアクセス時間が従来のフラッシュメモリ装置と比較して半分に短縮できる。各入／出力メモリブロックから読出された512個のデータビット中の少なくとも2個のエラーデータビットが訂正されるので、エラー訂正効率が向上できる。

#### 【図面の簡単な説明】

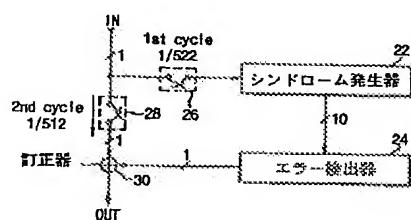
【図1】オンチップエラー訂正回路を備えた従来の半導体メモリ装置のブロック図。

【図2】図1に示す従来のエラー訂正回路のブロック図。

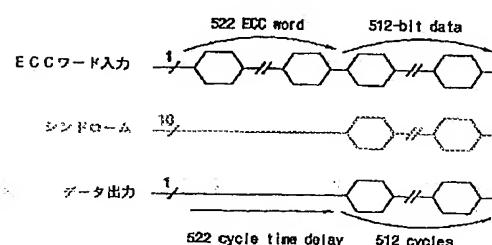
【図3】図2に示すエラー訂正回路のタイミング図。

【図4】本発明による半導体メモリ装置の望ましい実施\*

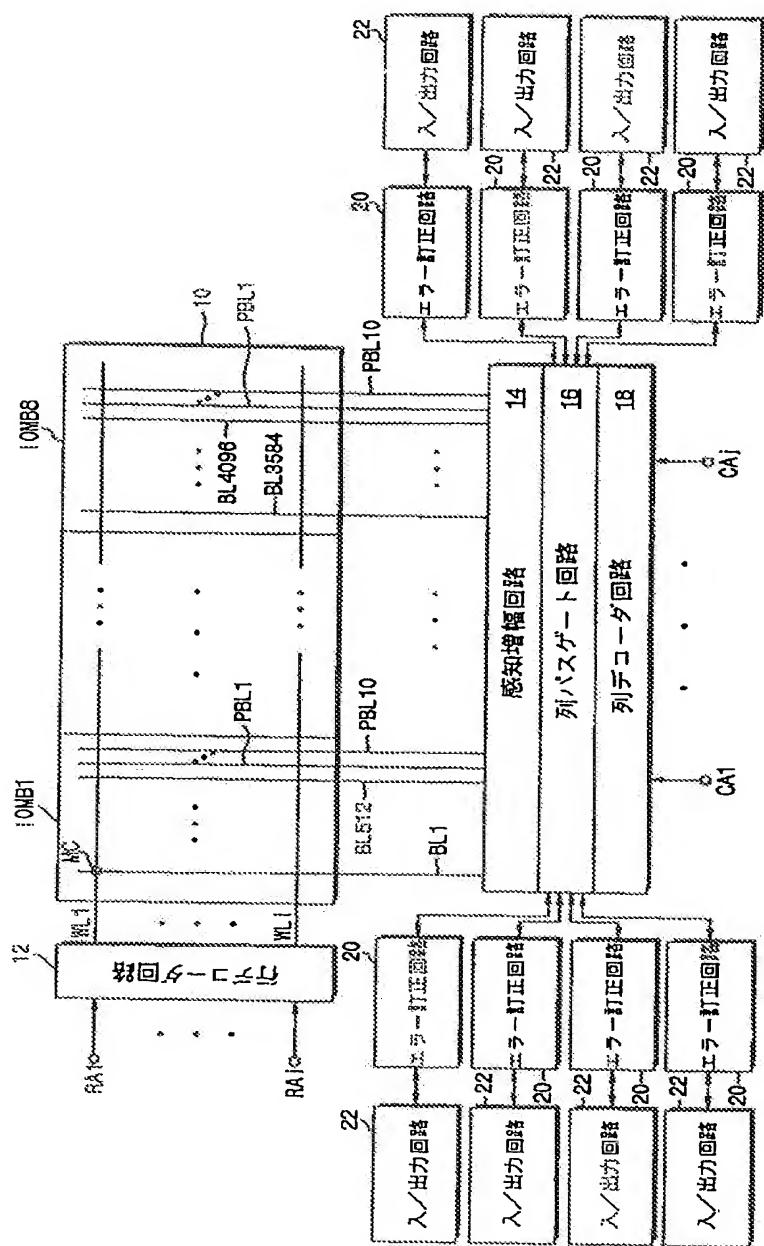
【図2】



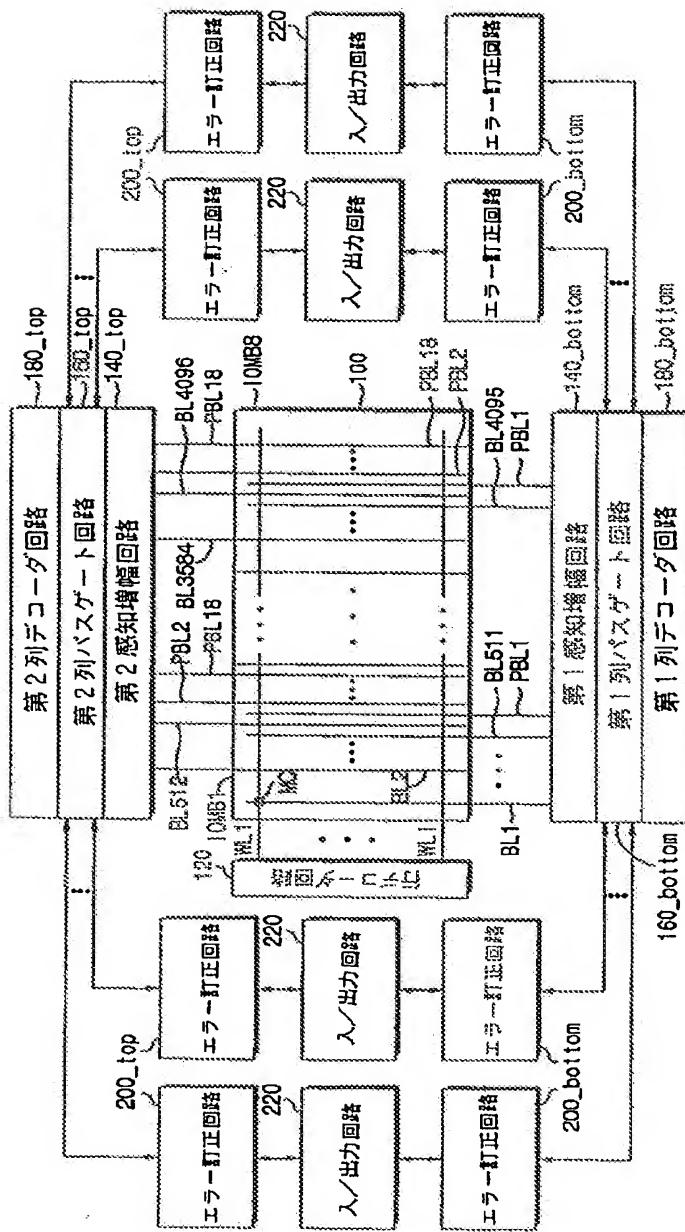
【図3】



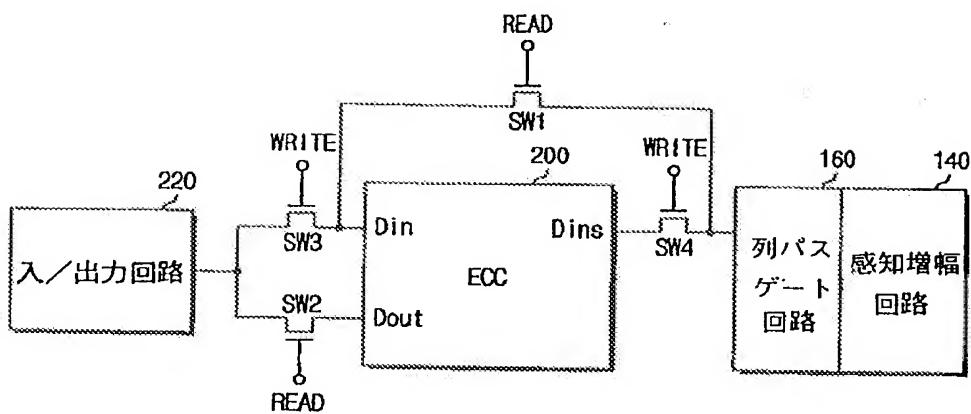
【図1】



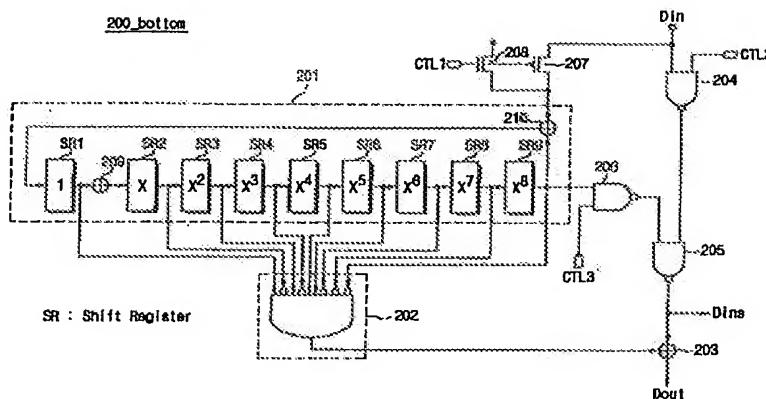
【図4】



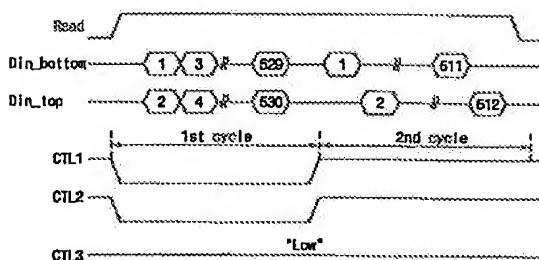
【図5】



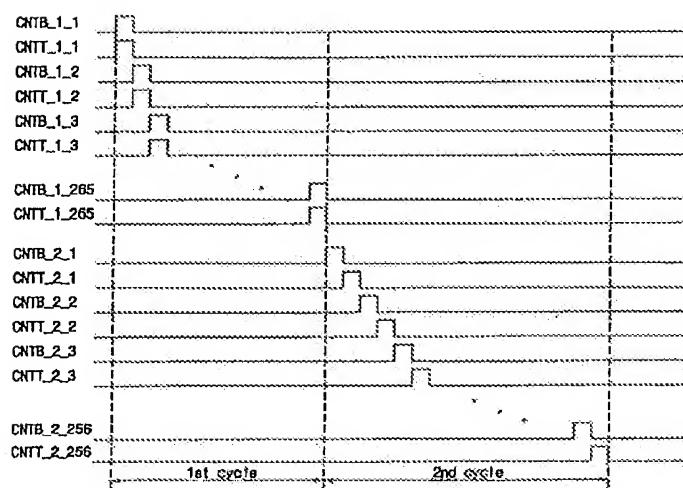
【図7】



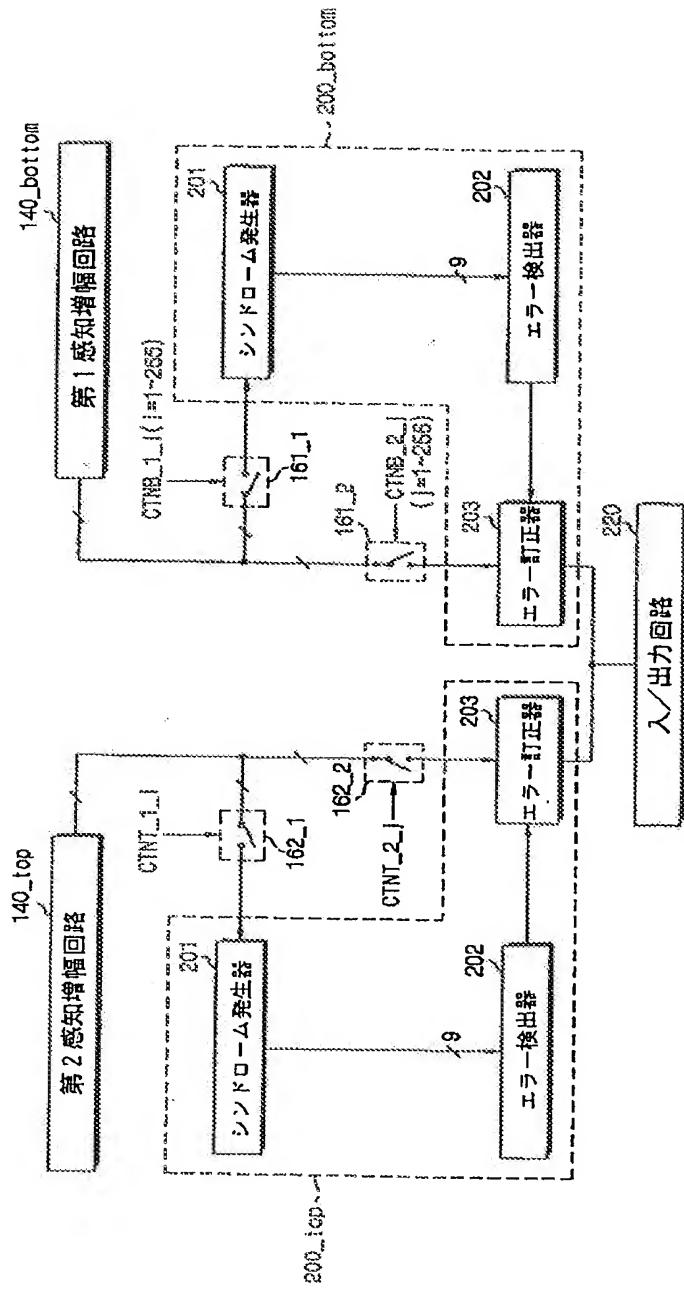
【図8】



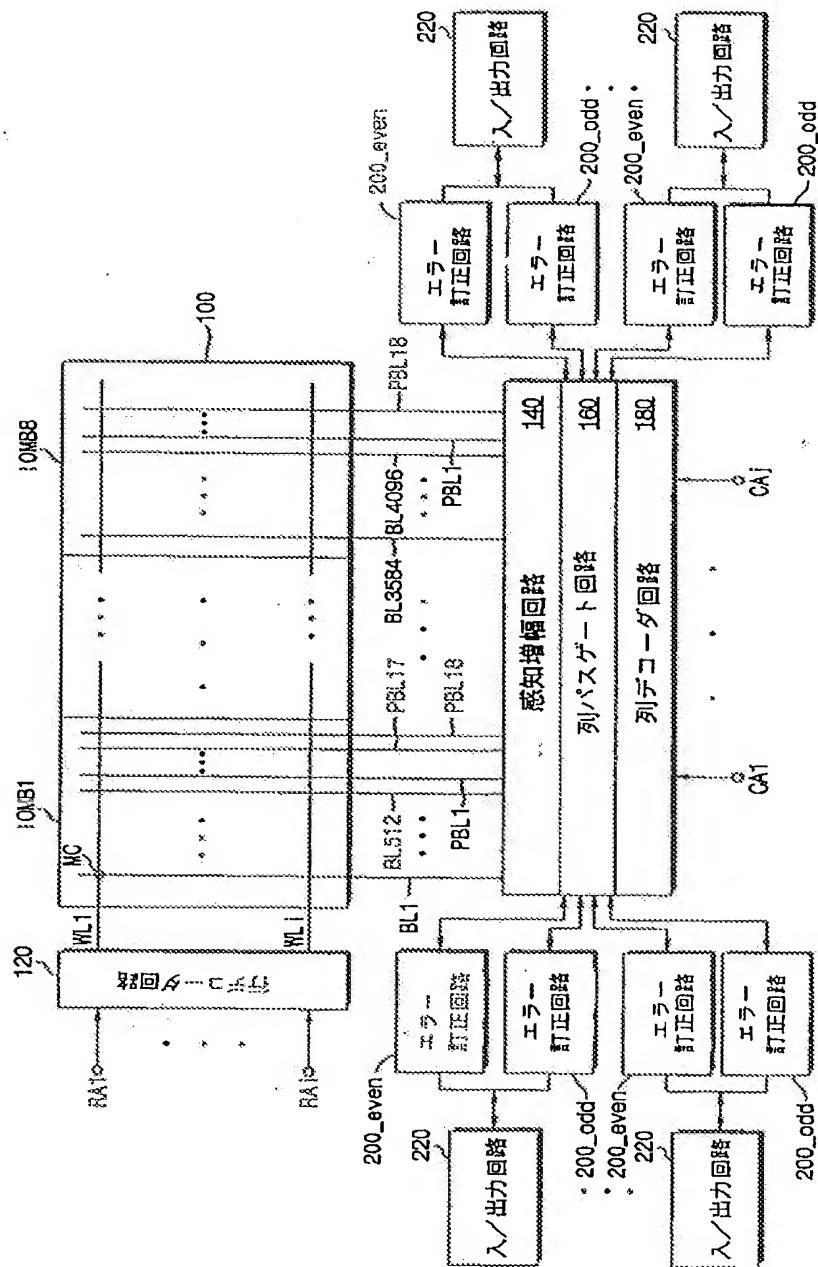
【図9】



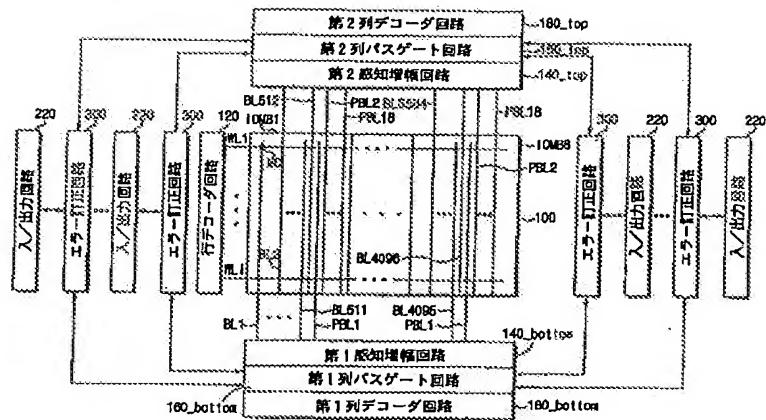
【图6】



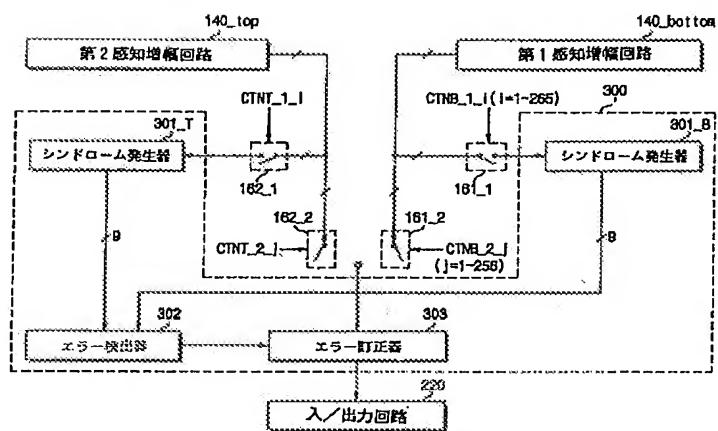
【图10】



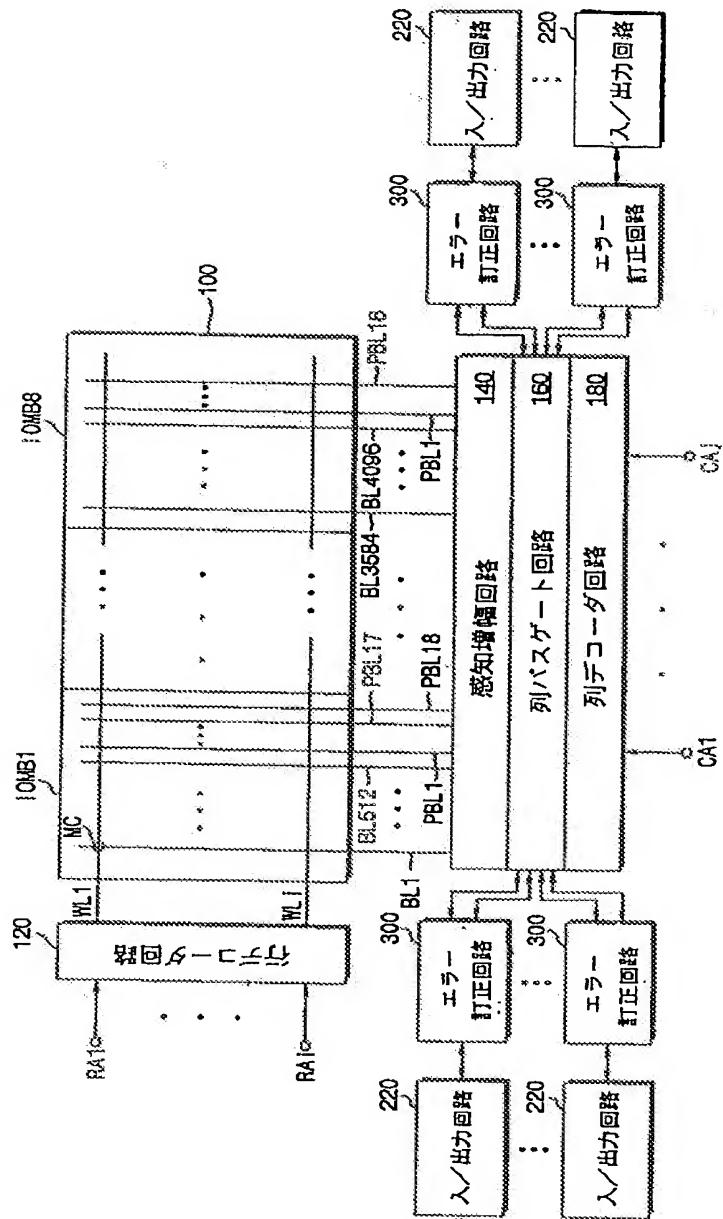
【図11】



【图12】



【図13】



【図14】

